

## Conception de systèmes numériques

<b>Domaine</b>	Ingénierie et Architecture
<b>Filière</b>	Informatique
<b>Orientation</b>	Informatique embarquée (IE)
<b>Mode de formation</b>	Temps partiel/En emploi

### Informations générales

Nom:	:	Conception de systèmes numériques
Identifiant:	:	CSN
Années académiques	:	2016-2017, 2017-2018, 2018-2019, 2019-2020
Responsable:	:	Etienne Messerli
Charge de travail:	:	150 heures d'études
Périodes encadrées:	:	96 (= 72 heures)

Semestre	E1	S1	S2	E2	S3	S4	E3	S5	S6	E4	S7	S8
Cours											48	
Laboratoire											48	

### Connaissances préalables recommandées

L'étudiant doit connaître et savoir appliquer les notions suivantes : représentations des nombres; portes logiques, fonctions combinatoires standards, portes à trois états et à collecteur ouvert, circuits arithmétiques; bascules, systèmes séquentiels simples, machine d'états.

Les unités ARO1, ARO2 et IFS permettent d'acquérir ces connaissances.

### Objectifs

A l'issue de cette unité d'enseignement, l'étudiant-e sera capable de:

- Appliquer le flot de développement d'un système numérique avec des outils EDA récents, soit: description VHDL synthétisable, vérification, synthèse automatique et intégration dans un circuit logique programmable.
- Connaître la structure et les caractéristiques des circuits logiques programmables CPLD et FPGA
- Comprendre les notions de base du langage de description VHDL pour la synthèse. Maîtriser les instructions concurrentes et séquentielles de base (process, if, case) pour la synthèse. Utiliser des descriptions paramétrable en VHDL
- Concevoir des systèmes combinatoires (fcts standards, décomposition hiérarchique) et les décrire en VHDL synthétisable.
- Concevoir, réaliser et tester un système combinatoire décrit en VHDL synthétisable
- Concevoir des systèmes séquentiels synchrones, tel que : registres, compteurs et machine d'états, et les décrire en VHDL synthétisable.
- Concevoir, réaliser et tester un système séquentiel synchrone décrit en VHDL synthétisable
- Concevoir des circuits implémentant sous forme combinatoire (décomposition spatiale) et sous forme séquentielle (décomposition temporelle) les opérations d'addition, de soustraction et de multiplication pour des nombres entiers (virgule fixe)
- Concevoir un organigramme global d'une machine séquentielle synchrone (MSS) complexe de

petite taille

- Identifier des fonctions standards à partir de l'organigramme global, définir une répartition des fonctions entre l'unité de commande et l'unité de traitement, concevoir une unité de traitement spécialisée, établir un organigramme détaillé et concevoir une unité de commande câblée (graphe des états)
- Concevoir, réaliser et tester un système séquentiel complexe décrit en VHDL. La description doit être paramétrable

## Contenu et formes d'enseignement

*Répartition des périodes indiquée à titre informatif.*

**Cours:** 48 périodes

- Evolution des méthodologies de conception des systèmes numériques, flot de développement avec les outils EDA et langage de description VHDL 2
- Structure et évolution des circuits logiques programmables (CPLD et FPGA) 2
- Comprendre les notions de base du langage de description VHDL pour la synthèse. Maitriser les instructions concurrentes pour la synthèse 2
- Concevoir des systèmes combinatoires (décomposition, identification fcts standards) et les décrire en VHDL synthétisable 8
- Maitriser l'instruction process et les instructions séquentielles de base (affectation, if, case) pour la synthèse 2
- Concevoir des systèmes séquentiels synchrones, tel que : registres, compteurs et machine d'états (graphe des états), et les décrire en VHDL synthétisable 8
- Concevoir des circuits implémentant sous forme combinatoire (décomposition spatiale) et sous forme séquentielle (décomposition temporelle) les opérations d'addition, de soustraction et de multiplication pour des nombres entiers (virgule fixe) 10
- Développer des descriptions paramétrables en VHDL (design re-use) 2
- Concevoir un organigramme global d'une machine séquentielle synchrone (MSS) complexe de petite taille 4
- Identifier des fonctions standards à partir de l'organigramme global, définir une répartition des fonctions entre l'unité de commande et l'unité de traitement (partition UC/UT), développer l'unité de traitement spécialisée, établir l'organigramme détaillé et réaliser l'unité de commande câblée (graphe des états) 8

**Laboratoire:** 48 périodes

- Introduction aux outils EDA et au flot de développement 3
- Appliquer les notions de base du langage VHDL pour réaliser des opérations arithmétiques et décrire des éléments mémoires 3
- Concevoir, réaliser, simuler et tester un système combinatoire décrit en VHDL synthétisable 8
- Concevoir, réaliser, simuler et tester un système séquentiel synchrone décrit en VHDL synthétisable 10
- Concevoir, réaliser, mettre au point et tester un système séquentiel synchrone complexe impliquant une MSS (graphe des états) et choix d'une décomposition hiérarchique. 10
- Concevoir, réaliser, mettre au point et tester un système séquentiel complexe, choisir une décomposition UC/UT, décrit en VHDL. La description doit être paramétrable. Adaptation d'un

## Bibliographie

Support de cours de la HEIG-VD:

- Présentation PowerPoint du cours CSN: <http://reds.heig-vd.ch/formations/bachelor/csn/cours-labos>
- Electronique Numérique, 4ème tome, Systèmes séquentiels avancés MSS complexes, Etienne Messerli, Sylvain Krieg, Mars 2013, Version 0.4b
- Manuel VHDL, synthèse et simulation, Etienne Messerli, Septembre 2007, Version 6-a

Livre sur la conception de systèmes numériques et langage VHDL

- VHDL. Introduction à la synthèse logique. Philippe Larcher, Eyrolles, 1997 Livre facile d'accès, recommandé pour débiter avec le langage VHDL
- Le langage VHDL : du langage au circuit, du circuit au langage, J. Weber & M. Meaudre, Dunod, 5ème édition, 2016 Inclut un chapitre sur le VHDL 2008
- VHDL : méthodologie de design et techniques avancées, Thierry Schneider, Dunod, 2001
- VHDL - 2008, just the new stuff, Peter J. Ashenden & Jim Lewis, Morgan Kaufmann Publishers, 2008
- Logic and Computer Design Fundamentals, 4ième édition, M. Morris R. Mano & Charles R. Kime, Pearson, 2007
- Digital Design - Principles & Practices, 4ième édition, John F. Wakerly, Pearson, 2007

## Contrôle de connaissances

### Cours:

l'acquisition des matières de cet enseignement sera contrôlée au fur et à mesure par des tests et des travaux personnels tout au long de son déroulement. Il y aura au moins 2 tests d'une durée totale d'au moins 3 périodes.

### Laboratoire:

ils seront évalués sur la base des rapports de manipulation, à 3 reprises au minimum.

### Examen:

L'atteinte de l'ensemble des objectifs de formation sera vérifiée lors d'un contrôle final commun écrit d'une durée de 90 minutes.

Matériel autorisé:

- Information communiquée directement par l'enseignant.

## Calcul de la note finale

Note finale = moyenne cours x 0.3 + moyenne laboratoire x 0.2 + moyenne examen x 0.5

Fiche validée le 16.08.2016 par Donini Pier