

## Architecture des ordinateurs 2

<b>Domaine</b>	Ingénierie et Architecture
<b>Filière</b>	Informatique
<b>Orientation</b>	Informatique embarquée (IE)
<b>Mode de formation</b>	Temps partiel/En emploi

### Informations générales

Nom:	:	Architecture des ordinateurs 2
Identifiant:	:	ARO2
Années académiques	:	2018-2019, 2019-2020
Responsable:	:	Romuald Mosqueron
Charge de travail:	:	90 heures d'études
Périodes encadrées:	:	64 (= 48 heures)

Semestre	E1	S1	S2	E2	S3	S4	E3	S5	S6	E4	S7	S8
Cours						32						
Laboratoire						32						

### Connaissances préalables recommandées

L'étudiant doit connaître et savoir utiliser les notions suivantes :

- Représentations des nombres,
- Algèbre de Boole, Table de Karnaugh,
- Systèmes combinatoires: multiplexeurs, décodeurs, circuits arithmétiques,
- ALU: unité arithmétique et logique
- Systèmes séquentiels simples: bascules, registres, machines d'état

L'unité d'enseignement ARO1 (architecture des ordinateurs) permet d'acquérir ces connaissances.

### Objectifs

A l'issue du module, l'étudiant-e sera capable de :

- Décrire et expliquer le fonctionnement des éléments de base d'un ordinateur, leurs caractéristiques, leurs performances et leurs interactions,
- Décrire l'organisation de la mémoire d'un système à processeur, les divers types de mémoire et des technologies, ainsi que sa gestion,
- Expliquer les rapports entre les langages de haut niveau utilisés pour écrire les applications et les langages machine réellement exécutés par l'ordinateur,
- Expliquer les éléments principaux de la microarchitecture d'un processeur,
- Expliquer la gestion des entrées/sorties d'un processeur.

### Contenu et formes d'enseignement

*Répartition des périodes indiquée à titre informatif.*

**Cours:** 32 périodes

## Architecture des ordinateurs 2

- Architectures de systèmes à processeur	4
- Microarchitecture d'un processeur simple et notion de programme	8
- Organisation et adressage des entrées/sorties d'un processeur	4
- Organisation de la mémoire, types, technologies et gestion	4
- Gestion du pipeline d'un processeur	6
- Mémoire cache et mémoire virtuelle	4
- Performances	2
<b>Laboratoire:</b> 32 périodes	
- Simulateur de l'architecture d'un processeur simple et notion de programme	16
- Simulateur d'un pipeline	8
- Simulateur de la mémoire cache	4
- Gestion des entrées/sorties	4

### Bibliographie

- Systèmes électroniques numériques complexes / Alexandre Nketsa, Damien Delauzun. Ellipses, Technosup 2012.
- ARM assembly language; fundamentals and techniques / Hohl, William. Taylor & Francis 2009
- ARM System-on-Chip Architecture / Steve Furber . Pearson 2000

### Contrôle de connaissances

#### Cours:

l'acquisition des matières de cet enseignement sera contrôlée au fur et à mesure par des tests et des travaux personnels tout au long de son déroulement. Il y aura au moins 2 tests d'une durée totale d'au moins 2 périodes.

#### Laboratoire:

ils seront évalués sur la base des rapports de manipulation, à 3 reprises au minimum.

#### Examen:

L'atteinte de l'ensemble des objectifs de formation sera vérifiée lors d'un contrôle final commun écrit d'une durée de 90 minutes.

#### Matériel autorisé:

- Information communiquée directement par l'enseignant.

### Calcul de la note finale

Note finale = moyenne cours x 0.3 + moyenne laboratoire x 0.2 + moyenne examen x 0.5

Fiche validée le 23.08.2018 par Donini Pier