

## Architecture des systèmes à processeur

<b>Domaine</b>	Ingénierie et Architecture
<b>Filière</b>	Informatique
<b>Orientation</b>	Informatique embarquée (IE)
<b>Mode de formation</b>	Temps partiel/En emploi

### Informations générales

Nom:	:	Architecture des systèmes à processeur
Identifiant:	:	ASP
Années académiques	:	2018-2019, 2019-2020
Responsable:	:	Romuald Mosqueron
Charge de travail:	:	90 heures d'études
Périodes encadrées:	:	64 (= 48 heures)

Semestre	E1	S1	S2	E2	S3	S4	E3	S5	S6	E4	S7	S8
Cours									32			
Laboratoire									32			

### Connaissances préalables recommandées

L'étudiant doit connaître et savoir utiliser les notions suivantes :

- Fonctions standard combinatoires (multiplexeurs, décodeurs, comparateurs, additionneurs) ;
- Fonctions standard séquentielles (compteurs, registres à décalages) ;
- Machines séquentielles synchrones simples (schéma bloc, graphes, tables d'états, codage) ;
- Systèmes de numération, opérations arithmétiques (addition, soustraction, multiplication et division) sur des entiers ;
- Architecture d'un système à processeur élémentaire (schéma bloc du système, schéma bloc du processeur, bus, entrées-sorties, interruption) ;
- Architecture de processeur avec parallélisme d'instruction;
- Bases de programmation en C.

Les modules ARO (Architecture des ordinateurs), INF2 et SYE permettent d'acquérir ces connaissances.

### Objectifs

A l'issue de cette unité d'enseignement, l'étudiant-e sera capable de :

- Analyser les besoins (puissance de calcul, débits, stockage) d'un système;
- Spécifier une architecture système matérielle et logicielle;
- Connaître les grandes familles de processeurs et les principaux fabricants de composants et de cartes;
- Analyser et expliquer le principe de fonctionnement des bus parallèle et série à partir d'exemple de bus usuels;
- Analyser et expliquer la technologie, l'architecture et le fonctionnement de divers types de mémoires ;
- Comprendre le fonctionnement et l'interfaçage de périphériques usuels d'entrée /sortie ;

- Effectuer des comparatifs de caractéristiques et de performances ;

## Contenu et formes d'enseignement

*Répartition des périodes indiquée à titre informatif.*

**Cours:** 32 périodes

- Rappel: architectures de processeur	2
- Analyse cahier des charges (fonctionnalités, contraintes et spécifications)	4
- Types et familles de processeurs	6
- Architecture système (matériel et interaction matériel / logiciel)	4
- Parallélisme des processeurs	4
- Mémoires (volatiles, non-volatiles), cartes mémoires	4
- Bus parallèles et série (couches physiques, interfaces, protocoles)	4
- Périphériques (affichage, audio, vidéo et divers)	4

**Laboratoire:** 32 périodes

- 1 - Introduction - tools and lab setup	4
- 2 - Bare metal low level code	8
- 3 - Peripheral interface, HAL, debugging	10
- 4 - Complete embedded application	10

## Bibliographie

- Computer Architecture, Fifth Edition: A Quantitative Approach / John L. Hennessy , David A. Patterson Morgan Kaufmann Publishers 2011
- High Performance Embedded Computing Handbook: Systems perspective MARTINEZ David R., VAI Michael, BOND Robert A. CRC Press 2008
- Parallel Computer Organization and Design / Michel Dubois, Murali Annavaram, Per Stenström, Cambridge University Press 2012
- Processor architecture: from dataflow to superscalar & beyond / Jurij Silc, Springer 1999

## Contrôle de connaissances

**Cours:**

l'acquisition des matières de cet enseignement sera contrôlée au fur et à mesure par des tests et des travaux personnels tout au long de son déroulement. Il y aura au moins 3 tests d'une durée totale d'au moins 2 périodes.

**Laboratoire:**

ils seront évalués sur la base des rapports de manipulation, à 3 reprises au minimum.

## Calcul de la note finale

Note finale = moyenne cours x 0.6 + moyenne laboratoire x 0.4

Fiche validée le 23.08.2018 par Donini Pier