

Systemes logiques 1

Domaine	Ingénierie et Architecture
Filière	Génie électrique
Orientation	Systèmes énergétiques (EN)
Mode de formation	Temps partiel/En emploi

Informations générales

Nom:	:	Systemes logiques 1
Identifiant:	:	SysLog1
Années académiques	:	2017-2018, 2018-2019, 2019-2020, 2020-2021
Responsable:	:	Etienne Messerli
Charge de travail:	:	120 heures d'études
Périodes encadrées:	:	80 (= 60 heures)

Semestre	E1	S1	S2	E2	S3	S4	E3	S5	S6	E4	S7	S8
Cours								48				
Laboratoire								32				

Connaissances préalables recommandées

Programme commun de la Maturité Professionnelle (MP) ou équivalent. En ce qui concerne plus spécifiquement les systèmes numériques, l'étudiant doit connaître la représentation des nombres en binaire (non signé, signé en C2, hexadécimal), les fonctions logiques de bases (NOT, ET, OU, XOR), la table de vérité, les équations logiques. Il doit savoir résoudre des systèmes combinatoires simples.

L'unité préparatoire en systèmes numériques UPN permet d'acquérir ces connaissances ainsi que l'unité MUI (microcontrôleurs et microinformatique).

Objectifs

A l'issue de cette unité d'enseignement, l'étudiant-e sera capable de:

- analyser et concevoir des fonctions combinatoires simples, les réaliser avec des portes logiques ;
- analyser et concevoir des fonctions standard combinatoires (mux., démux., décod., comp., addition) ;
- décomposer un système combinatoire en fonctions standard et en modules ;
- expliquer la structure d'un réseau logique programmable et celle d'une mémoire ROM ;
- expliquer le fonctionnement d'une bascule bistable ;
- analyser et concevoir des circuits séquentiels simples (quelques bascules) et établir des chronogrammes ;
- concevoir des registres à décalages et des compteurs et les réaliser à l'aide de schéma ;

- expliquer le schéma-bloc d'une machine séquentielle synchrone (ci-après : MSS) simple ;
- concevoir le graphe des états d'une MSS simple et la réaliser à l'aide de schéma.

A l'issue des travaux pratiques en laboratoire, principalement destinés à l'assimilation des connaissances et à l'acquisition d'expérience dans le développement de systèmes logiques, l'étudiant-e sera en outre capable de :

- utiliser d'outils de conception assistée par ordinateur (schématique, vérification, synthèse et intégration dans un circuit logique programmable) ;
- construire et mettre au point un prototype de laboratoire pour des systèmes combinatoire et séquentiel simple ;
- rédiger un journal de travail détaillé.

Pour les travaux de laboratoire, les étudiants utilisent le logiciel Logisim et l'outil de placement-routage QuartusII d'Altera. Ils utilisent pour leur réalisation des circuits logiques programmables récents

Contenu et formes d'enseignement

Répartition des périodes indiquée à titre informatif.

Cours: 48 périodes

- Rappel des bases de logique combinatoire : Représentation des nombres : entiers non signés, signé C2, BCD, hexadécimal. Portes logiques et schémas. Tables de vérité. 3
- Systèmes logiques combinatoires simples: Conception de systèmes combinatoires simples. Spécification à l'aide de la table de vérité. Réduction à l'aide de Karnaugh. Réalisation de schémas logiques 3
- Systèmes logiques combinatoires complexes: Fonctions de décodage et de multiplexage. Réalisation de fonctions avec des décodeurs ou des multiplexeurs. Fonctions de comparaison. Fonctions d'addition et soustraction pour nombres non-signés et signés en C2 (structure modulaire). Fonction de multiplication simple (décomposition en addition). Décomposition de systèmes combinatoires. 12
- Technologies : Aspects techniques des circuits numériques (introduction, temps de propagation, aléas, porte trois états et collecteur ouvert). Types de mémoires. Structure des mémoires mortes ROM. Extensions des mémoires. Architecture des circuits logiques programmables. 5
- Bascules bistables : Fonctionnement des bascules bistables (RS, latch D, flip-flop D et T). 5
- Intro systèmes logiques séquentiels synchrones: Schéma bloc d'une MSS synchrone. Etablir des chronogrammes. Conception de systèmes séquentiels simples avec des bascules. 4
- Registres et compteurs : Conception modulaire. Chargement synchrone et asynchrone. Description en VHDL synthétisable. 8
- Systèmes logiques séquentiels simples : Type de MSS. Conception à l'aide de graphes d'états (règles construction d'un graphe). 8

Laboratoire: 32 périodes

- Introduction aux outils de développement de systèmes numériques 4

- Conception et mise au point d'un circuit combinatoire simple. 4
- Conception et mise au point d'un circuit combinatoire complexe (décomposition, hiérarchie). 8
- Conception et mise au point de compteurs et/ou registres à décalages. 8
- Conception et mise au point d'une machine séquentielle simple. 8

Bibliographie

Support de cours de la HEIG-VD:

- Présentation PowerPoint du cours SysLog1: <http://reds.heig-vd.ch/formations/bachelor>
- Electronique Numérique, 1er tome, Systèmes combinatoires, Etienne Messerli, Yves Meyer, Septembre 2010, Version 1.4

- voir site REDS: <http://reds.heig-vd.ch/formations/Manuels>

Livres:

- Systèmes numériques, de Thomas L. Floyd, Edition Reynald Goulet (Canada), 7ème édition (pré-requis)
- Du binaire au processeur: méthodes de conception de circuits numériques et exercices, Emmanuel MESNARD, Ellipse, 2004
- Digital Design - Principles & Practices, John F. Wakerly, Pearson, 4ième édition ,2007

Contrôle de connaissances

Cours:

l'acquisition des matières de cet enseignement sera contrôlée au fur et à mesure par des tests et des travaux personnels tout au long de son déroulement. Il y aura au moins 2 tests d'une durée totale d'au moins 3 périodes.

Laboratoire:

ils seront évalués sur la base des rapports de manipulation, à 3 reprises au minimum.

Examen:

L'atteinte de l'ensemble des objectifs de formation sera vérifiée lors d'un contrôle final commun écrit d'une durée de 120 minutes.

Matériel autorisé:

- Information communiquée directement par l'enseignant.

Calcul de la note finale

Note finale = moyenne cours x 0.3 + moyenne laboratoire x 0.2 + moyenne examen x 0.5

Fiche validée le 06.09.2017 par Bossoney Luc